

複用 IP 的數位 IC 設計技術



內容簡介

本書目標在於引導每位讀者都能夠快速的跨越複用 IP 的數位 IC 設計技術的學習門檻，因此書中以最簡明的方式來闡述其設計技術。於第二篇中談到複用 IP 的數位 IC 設計中的關鍵技術，介紹 VHDL 語言及 VerilogHDL 語言，其語法與 C 語言相似，是一種易學易用的硬體描述語言，而且能夠允許在同一個模組中有不同層次的表示法，設計者可在同一模組中混合使用。是近年來在積體電路設計領域中新興的一股潮流，越來越多的 IC design 使用此兩種語言來設計 ASIC。在第七章詳細介紹複用 IP 的數位 IC 設計流程與驗證，第八章建立資料管理方式。內容新穎、實用性強，是本適合各私立大學、科大電子、電機「積體電路設計」課程用書。

目錄

第 1 篇 複用 IP 的數位 IC 設計導論

第 1 章 數位 IC 設計概述 2

- 1.1 數位 IC 設計方法演進 2
- 1.2 典型的數位 IC 開發流程 5
- 1.3 未來數位在晶片系統 (SOC) 的設計流程 9

第 2 章 複用 IP 的數位 IC 設計基本規則 13

- 2.1 邏輯設計規則 13
- 2.2 物理設計規則 17
- 2.3 可驗證設計規則 19
- 2.4 可測試設計規則 20

勝特力材料 886-3-5753170
勝特力电子(上海) 86-21-34970699
勝特力电子(深圳) 86-755-83298787
[Http://www.100y.com.tw](http://www.100y.com.tw)

2.5 低功率消耗設計規則 25

2.6 晶片匯流排設計規則 29

第 2 篇複用 IP 的數位 IC 設計中的關鍵技術

第 3 章代碼編寫技術 34

3.1 關於代碼編寫的描述語言 34

3.1.1 關於 VHDL 語言 35

3.1.2 關於 VerilogHDL 語言 36

3.1.3 硬體描述語言的共同特徵 37

3.2 現代數位 IC 設計的代表方法 39

3.3 代碼編寫時針對整合的模組劃分規則與技巧 41

3.4 針對整合的代碼編寫規則與技巧 47

3.5 時脈和重置信號的代碼編寫準則 57

3.6 良好的代碼編寫風格 60

第 4 章整合技術 65

4.1 系統整合概要 65

4.1.1 系統整合的概念 65

4.1.2 高層次整合的意義 66

4.1.3 高層次整合的任務和流程 68

4.2 整合概念、環境設置及基本操作 71

4.3 整合限制 84

4.3.1 設計環境限制 84

4.3.2 時間限制 89

4.3.3 面積限制 97

4.4 整合策略及整合最佳化技術 97

4.4.1 整合策略 97

4.4.2 整合最佳化處理技術 102

4.5 整合處理與後端流程 106

4.5.1 產生良好的整合圖表 107

4.5.2 ASIC 後端流程的基本內容 110

4.5.3 佈局佈線結果進行整合最佳化 121

4.6 整合結果分析 125

4.7 資料通道電路和記憶體體的整合技術 130

第 5 章驗證技術 133

5.1 概述 133

勝特力材料 886-3-5753170
勝特力电子(上海) 86-21-34970699
勝特力电子(深圳) 86-755-83298787
[Http://www.100y.com.tw](http://www.100y.com.tw)

- 5.1.1 主要的驗證手段概述 134
- 5.1.2 主要的驗證策略概述 136
- 5.1.3 驗證計畫的建立 140
- 5.2 功能驗證技術 141
 - 5.2.1 功能驗證中的行為層硬體語言描述 142
 - 5.2.2 功能驗證中的測試環境架構 150
 - 5.2.3 功能驗證中的激勵與響應 163
 - 5.2.4 功能驗證中的軟硬體共同模擬與硬體加速驗證 198
- 5.3 靜態時序分析 208
- 5.4 形式驗證技術 216
- 5.5 DFT 技術 221
 - 5.5.1 DFT 的基本概念 221
 - 5.5.2 ATPG 的掃描測試技術 226

第 3 篇 複用 IP 的數位 IC 設計

第 6 章 數位 IC 設計中 IP 資料庫的建設 232

- 6.1 IP 技術概述 232
- 6.2 IP 巨集模組的開發 236
- 6.3 IP 巨集模組的打包提交 251
- 6.4 IP 資料庫的建設 254
 - 6.4.1 IP 的分類及其管理 256
 - 6.4.2 典型的 IP 資料庫 258
 - 6.4.3 IP 資源的有償使用及矽智產權保護 274

第 7 章 複用 IP 的數位 IC 設計與驗證 279

- 7.1 複用 IP 的數位 IC 設計流程 279
- 7.2 複用 IP 的數位 IC 設計中的晶片匯流排 286
- 7.3 複用 IP 的 PCI 匯流排界面的設計 291
 - 7.3.1 系統級整合設計方法 293
 - 7.3.2 IP 核設計的方法 296
 - 7.3.3 應用實例 300
 - 7.3.4 使用者應用設計 305
 - 7.3.5 結論 311
- 7.4 Avalon 匯流排與 SOPC 系統架構的應用實例 312
 - 7.4.1 SOPC 與 NIOS 312
 - 7.4.2 Avalon 匯流排 313
 - 7.4.3 SOPC 系統建立實例 315

7.4.4 結論	319
7.5 複用 IP 的混合信號系統的設計	320
7.5.1 由上而下的設計流程	320
7.5.2 資料庫和複用	322
7.5.3 和模組相關的映對	323
7.5.4 矽智產權	324
7.5.5 技術表	325
7.5.6 一般的模組描述	327
7.5.7 行為模型	328
7.5.8 總結	329
7.6 複用 IP 設計的 MPEG-2HDTV 視頻解碼器	329
7.6.1 已有的矽智產權	330
7.6.2 複用技術	332
7.6.3 MPEG-2HDTV 視頻解碼器	333
第 8 章 複用 IP 的數位 IC 設計中的資料管理方法	341
8.1 概述	341
8.2 關於 CVS	351
附錄 A 常用 EDA 工具	367
A.1 常用 EDA 工具一覽表 (見表 A-1)	367
A.2 常用功能模擬與除錯工具舉例	368
A.3 常用邏輯整合工具舉例	370
A.4 常用測試技術工具舉例	372
參考文獻	375

勝特力材料 886-3-5753170
胜特力电子(上海) 86-21-34970699
胜特力电子(深圳) 86-755-83298787
[Http://www.100y.com.tw](http://www.100y.com.tw)