

## CPLD 數位電路設計－使用 MAX+plus II 應用篇(附範例系統光碟片)



### 內容簡介：

筆者在前一本書「CPLD 數位電路設計－使用 MAX+plusII 入門篇」中敘述 MAX+plusII 軟體之使用方式，並介紹數種數位電路之設計方法與模擬驗證。本書（應用篇）將更進一步分別以圖形編輯法、VHDL 編輯法以及 Verilog HDL 編輯法介紹數位系統之應用，包括簡易 CPU 之設計等。本書適合大專電子科「數位系統實習」、「數位系統設計」課程使用。

### 目 錄

第 1 章 簡 介	1-1
1-1 VHDL 簡介	1-3
1-2 Verilog HDL 簡介	1-11
1-3 附贈 MAX+plusII 10.0 版光碟安裝說明	1-14
第 2 章 基本單元設計範例	2-1
2-1 基本邏輯運算	2-2
2-1-1 電路圖編輯基本邏輯運算	2-3
2-1-2 VHDL 編輯基本邏輯運算	2-4
2-1-3 Verilog HDL 編輯基本邏輯運算	2-13
2-1-4 模擬基本邏輯運算	2-21
2-2 八位元及邏輯運算	2-22
2-2-1 電路圖編輯八位元及邏輯運算	2-23
2-2-2 VHDL 編輯八位元及邏輯運算	2-25
2-2-3 Verilog HDL 編輯八位元及邏輯運算	2-31

勝特力材料 886-3-5753170  
勝特力电子(上海) 86-21-34970699  
勝特力电子(深圳) 86-755-83298787  
[Http://www.100y.com.tw](http://www.100y.com.tw)

2-2-4	模擬八位元及邏輯運算	2-35
2-3	八位元加法器	2-36
2-3-1	電路圖編輯八位元加法器	2-37
2-3-2	VHDL 編輯八位元加法器	2-40
2-3-3	Verilog HDL 編輯八位元加法器	2-48
2-3-4	模擬八位元加法器	2-52
2-4	八位元減法器	2-53
2-4-1	電路圖編輯八位元減法器	2-53
2-4-2	VHDL 編輯八位元減法器	2-56
2-4-3	Verilog HDL 編輯八位元減法器	2-62
2-4-4	模擬八位元減法器	2-66
2-5	九位元四對一多工器	2-66
2-5-1	電路圖編輯九位元四對一多工器	2-68
2-5-2	VHDL 編輯九位元四對一多工器	2-72
2-5-3	Verilog HDL 編輯九位元四對一多工器	2-80
2-5-4	模擬九位元四對一多工器	2-86
2-6	八位元算數邏輯運算單元	2-87
2-6-1	電路圖編輯八位元算數邏輯運算單元	2-88
2-6-2	VHDL 編輯八位元算數邏輯運算單元	2-91
2-6-3	Verilog HDL 編輯八位元算數邏輯運算單元	2-94
2-6-4	模擬八位元算數邏輯運算單元	2-96
2-7	八位元比較器	2-97
2-7-1	電路圖編輯八位元比較器	2-100
2-7-2	VHDL 編輯八位元比較器	2-102
2-7-3	Verilog HDL 編輯八位元比較器	2-121
2-7-4	模擬八位元比較器	2-127
第3章	暫存器與記憶體設計範例	3-1
3-1	八位元暫存器	3-2
3-1-1	電路圖編輯八位元暫存器	3-3
3-1-2	VHDL 編輯八位元暫存器	3-6
3-1-3	Verilog HDL 編輯八位元暫存器	3-10
3-1-4	模擬八位元暫存器	3-14
3-2	唯讀記憶體	3-16
3-2-1	電路圖編輯唯讀記憶體	3-17
3-2-2	VHDL 編輯唯讀記憶體	3-23
3-2-3	Verilog HDL 編輯唯讀記憶體	3-26
3-2-4	模擬唯讀記憶體	3-29
3-3	4(12) 暫存器	3-32

3-3-1	電路圖編輯 4(12 暫存器	3-33
3-3-2	VHDL 編輯 4(12 暫存器v38	
3-3-3	Verilog HDL 編輯 4(12 暫存器	3-41
3-3-4	模擬 4(12 暫存器	3-45
3-4	2(8 隨機存取記憶體	3-47
3-4-1	電路圖編輯 2(8 隨機存取記憶體	3-48
3-4-2	VHDL 編輯 2(8 隨機存取記憶體	3-54
3-4-3	Verilog HDL 編輯 2(8 隨機存取記憶體	3-57
3-4-4	模擬 2(8 隨機存取記憶體	3-60
3-5	雙向輸入輸出腳暫存器	3-61
3-5-1	電路圖編輯雙向輸入輸出腳暫存器	3-62
3-5-2	VHDL 編輯雙向輸入輸出腳暫存器	3-67
3-5-3	Verilog HDL 編輯雙向輸入輸出腳暫存器	3-70
3-5-4	模擬雙向輸入輸出腳暫存器	3-73
第 4 章	微處理器資料處理管線結構設計範例	4-1
4-1	資料暫存器與 I/O 系統	4-7
4-1-1	電路圖編輯資料暫存器與 I/O 系統	4-14
4-1-2	VHDL 編輯資料暫存器與 I/O 系統	4-18
4-1-3	Verilog HDL 編輯資料暫存器與 I/O 系統	4-23
4-1-4	模擬資料暫存器與 I/O 系統	4-27
4-2	資料選擇系統	4-38
4-2-1	電路圖編輯資料選擇系統	4-40
4-2-2	VHDL 編輯資料選擇系統	4-43
4-2-3	Verilog HDL 編輯資料選擇系統	4-45
4-2-4	模擬資料選擇系統	4-46
4-3	存入位址控制系統	4-47
4-3-1	電路圖編輯存入位址控制系統	4-49
4-3-2	VHDL 編輯存入位址控制系統	4-51
4-3-3	Verilog HDL 編輯存入位址控制系統	4-54
4-3-4	模擬存入位址控制系統	4-55
4-4	資料管線系統	4-56
4-4-1	電路圖編輯資料管線系統	4-58
4-4-2	VHDL 編輯資料管線系統	4-66
4-4-3	Verilog HDL 編輯資料管線系統	4-76
4-4-4	模擬資料管線系統	83
第 5 章	微處理器控制系統設計範例	5-1
5-1	堆疊系統	5-8
5-1-1	電路圖編輯堆疊系統	5-10

- 5-1-2 VHDL 編輯堆疊系統 5-13
- 5-1-3 Verilog HDL 編輯堆疊系統 5-15
- 5-1-4 模擬堆疊系統 5-18
- 5-2 堆疊指標系統 5-19
  - 5-2-1 電路圖編輯堆疊指標系統 5-21
  - 5-2-2 VHDL 編輯堆疊指標系統 5-24
  - 5-2-3 Verilog HDL 堆疊指標系統 5-26
  - 5-2-4 模擬堆疊指標系統 5-26
- 5-3 程式計數器系統一 5-27
  - 5-3-1 電路圖編輯程式計數器系統一 5-29
  - 5-3-2 VHDL 編輯程式計數器系統一 5-31
  - 5-3-3 Verilog HDL 編輯程式計數器系統一 5-32
  - 5-3-4 模擬程式計數器系統一 5-33
- 5-4 程式計數器系統二 5-34
  - 5-4-1 電路圖編輯程式計數器系統二 5-35
  - 5-4-2 VHDL 編輯程式計數器系統二 5-38
  - 5-4-3 Verilog HDL 編輯程式計數器系統二 5-40
  - 5-4-4 模擬程式計數器系統二 5-41
- 5-5 條件碼系統 5-42
  - 5-5-1 電路圖編輯條件碼系統 5-45
  - 5-5-2 VHDL 編輯條件碼系統 5-47
  - 5-5-3 Verilog HDL 編輯條件碼系統 5-50
  - 5-5-4 模擬條件碼系統 5-52
- 5-6 控制系統一 5-53
  - 5-6-1 電路圖編輯控制系統一 5-56
  - 5-6-2 VHDL 編輯控制系統一 5-58
  - 5-6-3 Verilog HDL 編輯控制系統一 5-60
  - 5-6-4 模擬控制系統一 5-63
- 5-7 控制系統二 5-65
  - 5-7-1 電路圖編輯控制系統二 5-72
  - 5-7-2 VHDL 編輯控制系統二 5-74
  - 5-7-3 Verilog HDL 編輯控制系統二 5-78
  - 5-7-4 模擬控制系統二 5-80
- 5-8 簡易 CPU 控制系統 5-83
  - 5-8-1 電路圖編輯簡易 CPU 控制系統 5-86
  - 5-8-2 VHDL 編輯簡易 CPU 控制系統 5-91
  - 5-8-3 Verilog 編輯簡易 CPU 控制系統 5-100
  - 5-8-4 模擬簡易 CPU 控制系統 5-106

第 6 章 簡易 CPU 設計範例	6-1
6-1 簡易 CPU	6-2
6-1-1 電路圖編輯簡易 CPU	6-6
6-1-2 VHDL 編輯簡易 CPU	6-15
6-1-3 Verilog HDL 編輯簡易 CPU	6-26
6-1-4 模擬簡易 CPU	6-35
第 7 章 專案設計範例	7-1
7-1 簡易 CPU 與 LED 設計	7-2
7-1-1 簡易 CPU 指令設計	7-9
7-1-2 七段解碼器	7-10
7-1-3 除頻器之設計	7-13
7-1-4 電路燒錄與結果	7-15
7-2 設計搶答電路	7-25
7-2-1 電路圖編輯搶答電路	7-26
7-2-2 波形編輯搶答電路	7-29
7-2-3 燒錄搶答電路	7-37
7-3 設計電子骰子電路	7-44
7-3-1 含致能與重置功能之六模計數器	7-45
7-3-2 除十六之除頻器	7-49
7-3-3 除十二之除頻器	7-50
7-3-4 電子骰子電路與燒錄結果	7-53
附錄 A 硬體描述語言語法	A-1
A-1 VHDL 語法	A-2
A-2 Verilog HDL 語法	A-22
附錄 B 本書範例	B-1
附錄 C 如何安裝	C-1
2-2	
第 2 章 ANSI 入門簡介	
2	
XI	
V	