

VHDL與FPGA設計(附範例光碟片)



作者：胡振華

出版者：全華科技圖書公司

出版日：

代理商：全華科技圖書公司

ISBN：9572132121

書商書號:03951007

初版 膠裝 512頁 正 20 K 開

圖書分類：

(電子類----[VHDL](#)、[Spice與Workbench](#))

勝特力材料 886-3-5753170

勝特力电子(上海) 86-21-54151736

勝特力电子(深圳) 86-755-83298787

[Http://www.100y.com.tw](http://www.100y.com.tw)

書籍介紹

■ 內容簡介

由於VHD文語法，以讓讀者能夠直接明白語法的實際上的使用情形！書中搭配Xilinx Foundation及ModelSim Xilinx Edition這兩套軟體，會讓讀者更深入了解VHDL；本書適合做為大專電子、電機科系之教材，亦適合從事研究之工程師的參考用書。

■ 目錄

- 第0章 前言
 - 0-1 VHDL的發展
 - 0-2 VHDL的優點
 - 0-3 所須具備的觀念
 - 0-4 “SRAM Base” vs. “Anti-Fuse”
 - 0-5 本書的內容
 - 0-6 使用工具
- 第1章 設計的基本概念
 - 1-1 設計階段的畫分
 - 1-2 設計的流程
 - 1-3 Design Entry-Schematics vs. VHDL
 - 1-4 Function Simulation
 - 1-5 Synthesis
 - 1-6 Place & Route
 - 1-7 Timing Simulation
 - 1-8 結論
- 第2章 Architecture
 - 2-1 Simulator的使用
 - 2-2 基本架構
 - 2-2-1 LIBRARY
 - 2-2-2 USE
 - 2-2-3 Entity
 - 2-2-4 PORT
 - 2-3 Architecture
 - 2-4 命名法則與註解
 - 2-5 擴充的宣告
 - 2-5-1 Package
 - 2-5-2 Package body
 - 2-6 結論
- 問題
- 第3章 TYPE
 - 3-1 Standard Package定義的資料型別
 - 3-1-1 純量型的資料型別
 - 3-1-2 列舉型的資料型別

- 3-1-3 向量型的資料型別
- 3-2 IEEE package定義的資料型別
- 3-3 複合式資料型別
 - 3-3-1 Array
 - 3-3-2 Record
- 3-4 檔案資料型別
- 3-5 結 論
- 問 題
- 第4章 Operator
 - 4-1 1076-1987與1076-1993之operator之差異
 - 4-2 Logical Operator
 - 4-3 Relational Operator
 - 4-4 Shift Operator
 - 4-4-1 IEEE 1076-1993中的shift operator
 - 4-4-2 衍生的位移處理
 - 4-5 Adding Operator
 - 4-5-1 加減法運算處理
 - 4-5-2 連接(Concatenation)處理
 - 4-6 Sign Operator
 - 4-7 Multiplying Operator
 - 4-8 Miscellaneous Operator
 - 4-9 Operator之優先順序
 - 4-10 結 論
 - 問 題
- 第5章 Combinational Logic
 - 5-1 基本的Combinational Logic
 - 5-1-1 AND
 - 5-1-2 OR
 - 5-1-3 NOT及其他
 - 5-2 較複雜的Combinational Logic
 - 5-2-1 WHEN-ELSE
 - 5-2-2 WITH-SELECT-WHEN
 - 5-3 Process中的Combinational Logic
 - 5-4 Delay對Combinational Logic的影響
 - 5-5 結 論
 - 問 題
- 第6章 Sequential Logic
 - 6-1 PROCESS的架構
 - 6-2 IF敘述
 - 6-3 WAIT敘述
 - 6-3-1 WAIT UNTIL
 - 6-3-2 WAIT FOR敘述
 - 6-3-3 WAIT ON敘述
 - 6-4 CASE敘述
 - 6-5 Sync與Async Reset
 - 6-6 LOOP
 - 6-6-1 與while及for合用
 - 6-6-2 巢狀的Loop
 - 6-6-3 Next敘述
 - 6-6-4 Exit敘述
 - 6-7 Assert敘述
 - 6-8 結 論
 - 問 題
- 第7章 Function與Procedure
 - 7-1 Function的宣告及使用
 - 7-2 型別轉換之Function
 - 7-3 Overload Function
 - 7-4 Procedure
 - 7-5 結 論
 - 問 題
- 第8章 Attribute與Configuration
 - 8-1 傳回信號狀態的屬性
 - 8-1-1 Event屬性
 - 8-1-2 Active屬性
 - 8-1-3 Last_event屬性
 - 8-1-4 Last_value及Last_active屬性
 - 8-2 傳回單一數值的屬性
 - 8-3 傳回數值範圍的屬性
 - 8-4 Configuration

勝特力材料 886-3-5753170
勝特力电子(上海) 86-21-54151736
勝特力电子(深圳) 86-755-83298787
[Http://www.100y.com.tw](http://www.100y.com.tw)

- 8-4-1 Architecture Configuration
- 8-4-2 Component Configuration
- 8-4-3 Generic Configuration

8-5 結論

問題

第9章 Hierarchy Design

- 9-1 Component Instantiation
- 9-2 Design partition
- 9-3 設計方法之描述
 - 9-3-1 Input Latch & Float->Fix
 - 9-3-2 Adder
 - 9-3-3 Fix->Float & Output Latch

9-4 頂層設計及模擬

- 9-4-1 頂層設計的連結
- 9-4-2 設計模擬

9-5 結論

問題

第10章 Function Simulation

- 10-1 Dependency
- 10-2 ModelSim中的options
- 10-3 Simulation macro之建立
 - 10-3-1 基本marco之建立
 - 10-3-2 雙向Bus之模擬macro
- 10-4 Test bench simulation
- 10-5 Text IO模擬
- 10-6 Simulation Library的建立
 - 10-6-1 Core Generator的使用
 - 10-6-2 Simulation Library的建立
 - 10-6-3 Design端之處理
 - 10-6-4 Simulation之進行
- 10-7 階層式的模擬及除錯

10-8 結論

問題

第11章 Synthesis

- 11-1 Synthesizer的使用
- 11-2 Pre-Layout Simulation
- 11-3 一些不能合成的例子
 - 11-3-1 時間延遲的要求
 - 11-3-2 不合乎硬體設計
 - 11-3-3 起始值的設定
- 11-4 Constraint的下法
- 11-5 Block box之synthesis
- 11-6 階層式設計之synthesis

11-7 結論

問題

第12章 Place & Route

- 12-1 Place & Route工具的使用
- 12-2 Constraint的設定
 - 12-2-1 Timing Constraint
 - 12-2-2 非Timing Constraint
- 12-3 Report analyze
- 12-4 階層式設計的place & route

12-5 結論

問題

第13章 Timing Simulation

- 13-1 Compile VHDL netlist file
- 13-2 Timing Simulation
 - 13-2-1 信號GSR所造成的問題
 - 13-2-2 Setup time check造成的錯誤
- 13-3 SDF file
 - 13-3-1 SDF的內容
 - 13-3-2 表頭部份
 - 13-3-3 基本單元
 - 13-3-4 時序檢查

13-4 模擬分析

13-5 規格的設定

13-6 運用textio做資料比對的timing simulation

13-7 Timing Simulation的好處

13-8 結論

勝特力材料 886-3-5753170
勝特力电子(上海) 86-21-54151736
勝特力电子(深圳) 86-755-83298787
[Http://www.100y.com.tw](http://www.100y.com.tw)

問 題

第14章 State Machine Design

14-1 State Machine之建立

14-1-1 程式碼的撰寫

14-1-2 設計的Function Simulation

14-1-2 設計的Synthesis及place& route

14-1-3 Timing simulation

14-2 狀態機的修改

14-2-1 程式碼的修改

14-2-2 修改設計的function simulation

14-2-3 設計的Synthesis及place& route

14-2-4 Timing Simulation

14-3 One-hot與Binary decode

14-4 結 論

問 題

第15章 Pipelined Processing

15-1 未使用平行處理的乘法器

15-2 增加input latch的乘法器

15-3 將乘法器一分為二的設計

15-4 改善既有的設計

15-5 平行處理的缺點

15-6 結 論

附錄A 參考資料

附錄B 專有名詞縮寫對照

勝特力材料 886-3-5753170

勝特力电子(上海) 86-21-54151736

勝特力电子(深圳) 86-755-83298787

[Http://www.100y.com.tw](http://www.100y.com.tw)